

NC	Vcc
A12	/WE
A7	NC
A6	A8
A5	A9
A4	A11
A3	/OE
A2	A10
A1	/CE
A0	I/O7
I/O0	I/O6
I/O1	I/O5
I/O2	I/O4
GND	I/O3

NC	Vcc
A12	/WE
A7	NC
A6	A8
A5	A9
A4	A11
A3	/OE
A2	A10
A1	/CE
A0	I/O7
I/O0	I/O6
I/O1	I/O5
I/O2	I/O4
GND	I/O3

NC	Vcc
A12	/WE
A7	NC
A6	A8
A5	A9
A4	A11
A3	/OE
A2	A10
A1	/CE
A0	I/O7
I/O0	I/O6
I/O1	I/O5
I/O2	I/O4
GND	I/O3

A14	Vcc
A12	/WE
A7	A13
A6	A8
A5	A9
A4	A11
A3	/OE
A2	A10
A1	/CS
A0	I/O7
I/O0	I/O6
I/O1	I/O5
I/O2	I/O4
GND	I/O3

A14	Vcc
A12	/WE
A7	A13
A6	A8
A5	A9
A4	A11
A3	/OE
A2	A10
A1	/CS
A0	I/O7
I/O0	I/O6
I/O1	I/O5
I/O2	I/O4
GND	I/O3

/VP	/RES
RDY	$\Phi$ 2O
$\Phi$ 1O	/SO
/IRQ	$\Phi$ 2
/ML	BE
/NMI	NC
SYNC	R/W
VCC	D0
A0	D1
A1	D2
A2	D3
A3	D4
A4	D5
A5	D6
A6	D7
A7	A15
A8	A14
A9	A13
A10	A12
A11	GND

/VP	/RES
RDY	$\Phi$ 2O
$\Phi$ 1O	/SO
/IRQ	$\Phi$ 2
/ML	BE
/NMI	NC
SYNC	R/W
VCC	D0
A0	D1
A1	D2
A2	D3
A3	D4
A4	D5
A5	D6
A6	D7
A7	A15
A8	A14
A9	A13
A10	A12
A11	GND

GND	CA1
PA0	CA2
PA1	RS0
PA2	RS1
PA3	RS2
PA4	RS3
PA5	/RES
PA6	D0
PA7	D1
PB0	D2
PB1	D3
PB2	D4
PB3	D5
PB4	D6
PB5	D7
PB6	$\Phi$ 2
PB7	CS1
CB1	/CS2
CB2	R/W
VCC	/IRQ

GND	CA1
PA0	CA2
PA1	RS0
PA2	RS1
PA3	RS2
PA4	RS3
PA5	/RES
PA6	D0
PA7	D1
PB0	D2
PB1	D3
PB2	D4
PB3	D5
PB4	D6
PB5	D7
PB6	$\Phi$ 2
PB7	CS1
CB1	/CS2
CB2	R/W
VCC	/IRQ

GND	CA1
PA0	CA2
PA1	RS0
PA2	RS1
PA3	RS2
PA4	RS3
PA5	/RES
PA6	D0
PA7	D1
PB0	D2
PB1	D3
PB2	D4
PB3	D5
PB4	D6
PB5	D7
PB6	$\Phi$ 2
PB7	CS1
CB1	/CS2
CB2	R/W
VCC	/IRQ

GND	R/W
CS0	$\Phi$ 2
/CS1	/IRQ
/RES	D7
RxC	D6
XTL1	D5
XLTO	D4
/RTS	D3
/CTS	D2
TxD	D1
/DTR	D0
RxD	/DSR
RS0	/DCD
RS1	VCC

GND	R/W
CS0	$\Phi$ 2
/CS1	/IRQ
/RES	D7
RxC	D6
XTL1	D5
XLTO	D4
/RTS	D3
/CTS	D2
TxD	D1
/DTR	D0
RxD	/DSR
RS0	/DCD
RS1	VCC

GND	R/W
CS0	$\Phi$ 2
/CS1	/IRQ
/RES	D7
RxC	D6
XTL1	D5
XLTO	D4
/RTS	D3
/CTS	D2
TxD	D1
/DTR	D0
RxD	/DSR
RS0	/DCD
RS1	VCC

